

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-068770

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H04L 12/28

H04Q 3/00

(21)Application number : 09-227193

(71)Applicant : NEC CORP

(22)Date of filing : 08.08.1997

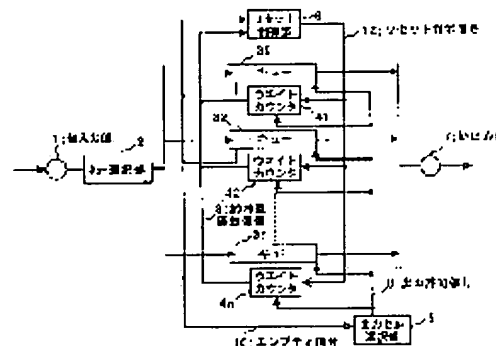
(72)Inventor : FUKANO MASATERU

(54) SCHEDULING SYSTEM FOR ATM SWITCH

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a scheduling system for an asynchronous transfer mode ATM switch in which deterioration in a delay characteristic of traffic is reduced, where real time performance is a requirement.

SOLUTION: Low or high priority is set to each traffic class and high priority is placed on a traffic class where a real time performance is a requirement and an output cell selection section 5 decides a queue whose output is allowed by the rotation priority system among queues 31-3n in the case that a class whose priority is placed high among classes where product between counts of weight counters 41-4n of each class and queue length of the queues 31-3n are not zero. In the case that a class whose priority is placed high is not in existence, scheduling control in an ATM switch is realized by deciding a queue whose output is allowed by the rotation priority system among the classes whose priority is placed low.



LEGAL STATUS

[Date of request for examination] 08.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2967767

[Date of registration] 20.08.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 20.08.2002

Copyright (C); 1998,2003 Japan Patent Office

[Translation]

Abstract of Japanese Patent Laid-Open No. 10-84383 (Cited Reference 1)

[PROBLEM TO BE SOLVED] To improve the fairness performance by allowing a packet queue to be selected in an interleaving way to avoid consecutive selection of packets of a same packet queue thereby decreasing a burst property of a time scale smaller than a round time.

[SOLUTION] As scheduling queues to store scheduling information, a different queue is prepared for a packet queue available of transmission at present. Thus, let a period when scheduling information is outputted from one queue be a round time, the scheduling device is obtained, that uses weighting fairness scheduling algorithm equal to a conventional one based on the round time. The calculated value of scheduling is constant independently of number of flows. Moreover, each scheduling information is used for an output of a head packet from a corresponding packet queue, then it is avoided that a packet of a same flow is continuously selected till decrementing the counter is disable or the packet queue gets idle.

Abstract of Japanese Patent Laid-Open No. 11-68770(Cited Reference 2)

[PROBLEM TO BE SOLVED] To provide a scheduling system for an asynchronous transfer mode ATM switch in which deterioration in a delay characteristic of traffic is reduced, where real time performance is a requirement.

[SOLUTION] Low or high priority is set to each traffic class and high priority is placed on a traffic class where a real time performance is a requirement and an output cell selection section 5 decides a queue whose output is allowed by the rotation priority system among queues in the case that a class whose priority is placed high among classes where product between counts of weight counters 41-4n of each class and queue length of the queues 31-3n are not zero. In the case that a class whose priority is placed high is not in existence, scheduling control in an ATM switch is realized by deciding a queue whose output is allowed by the rotation priority system among the classes whose priority is placed low.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68770

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁴ 識別記号
 H 0 4 L 12/28
 H 0 4 Q 3/00

F I
 H 0 4 L 11/20 G
 H 0 4 Q 3/00
 H 0 4 L 11/20 H

審査請求 有 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平9-227193
 (22) 出願日 平成9年(1997) 8月8日

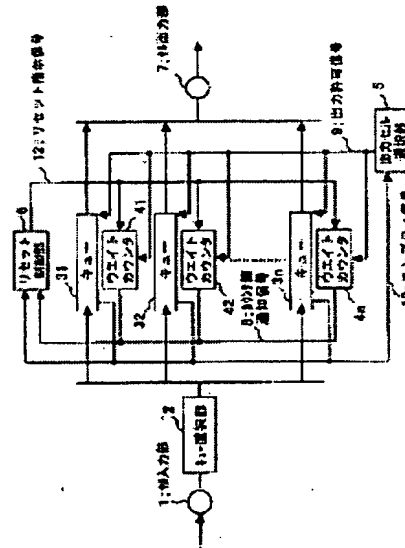
(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72) 発明者 深野 真輝
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 ATMスイッチにおけるスケジューリング方式

(57) 【要約】

【課題】 実時間性が要求されるトラヒックの遅延特性の劣化を低減するATMスイッチのスケジューリング方式の提供。

【解決手段】 各々のトラヒッククラスには、低優先、又は高優先のプライオリティを設定し、実時間性が要求されるトラヒッククラスについては、高優先のプライオリティを与え、出力セル選択部は、各クラスのウェイトカウンタ41~4nの値と、キュー31~3nのキュー長の積が0でないクラスのうち、プライオリティが高優先に設定されているクラスが存在する場合は、その中から回転優先方式で出力を許可するキューを決定し、プライオリティが高優先に設定されているクラスが存在しない場合は、プライオリティが低優先に設定されているクラスの中から回転優先方式で出力を許可するキューを決定することで、ATMスイッチにおけるスケジューリング制御を実現する。



【特許請求の範囲】

【請求項 1】スイッチ本体と、前記スイッチの複数の入力ポートおよび出力ポートのそれぞれに配備され、セルを蓄積する入力バッファ部および出力バッファ部と、を含むATMスイッチにおける、前記入力バッファ部および出力バッファ部におけるスケジューリング方式において、

前記入力バッファ部および前記出力バッファ部に、出方路毎、セルのトラヒック種類毎に、バッファを論理的に分割したキューと、前記各キューに対応するウエイトカウンタと、を備え、

前記ウエイトカウンタが0でないクラスのキューが複数有る場合、優先度が高いクラスのキューの中から回転優先方式により、出力を許可するキューを決定し、

前記ウエイトカウンタが0でないクラスの中に優先度が高いクラスのキューが無い場合には、優先度が低いクラスのキューの中から回転優先方式により、出力を許可するキューを決定し、セルを読み出す、ことを特徴とするATMスイッチにおけるスケジューリング方式。

【請求項 2】スイッチ本体と、前記スイッチの複数の入力ポートおよび出力ポートのそれぞれに配備され、セルを蓄積する入力バッファ部および出力バッファ部と、を含むATMスイッチにおいて、

入力セルをトラヒッククラス別、あるいは出方路別に蓄積する複数のキューと、
前記各キューに対する出力の比を設定するウエイトカウンタと、を備え各クラスのウエイトとキューの蓄積数から出力セルの選択を行う出力セル選択部が、予め設定される各クラスのプライオリティ（優先度）を参照し、プライオリティが高いクラスを優先して選択する、ことを特徴とするATMスイッチにおけるスケジューリング方式。

【請求項 3】スイッチ本体と、前記スイッチの複数の入力ポートおよび出力ポートのそれぞれに配備され、セルを蓄積する入力バッファ部および出力バッファ部と、を含むATMスイッチにおいて、
複数のトラヒッククラス別、あるいは出方路別に配備される複数のキューと、
前記各キューに対する出力の比を設定するウエイトカウンタと、を備え、
各々のトラヒッククラスには、低優先、又は高優先のプライオリティを設定し、実時間性が要求されるトラヒッククラスについては、高優先のプライオリティを与え、
出力セル選択部は、各クラスのウエイトカウンタの値と、キューのキュー長の積が0でないクラスのうち、プライオリティが高優先に設定されているクラスが存在する場合には、その中から回転優先方式で出力を許可するキューを決定し、
プライオリティが高優先に設定されているクラスが存在しない場合には、プライオリティが低優先に設定されて

いるクラスの中から回転優先方式で出力を許可するキューを決定することにより、ATMスイッチにおけるWRR（Weighted Round Robin；重み付けラウンドロビン）スケジューリング制御を行うことを特徴とするATMスイッチにおけるスケジューリング方式。

【請求項 4】ATMセルを入力するセル入力部と、
複数のトラヒッククラス別、あるいは出方路別に配備される複数のキューと、
前記各キューに対応するウエイトカウンタと、
キュー選択部と、
出力セル選択部と、を備え、

前記キュー選択部は、前記セル入力部よりセルを受信すると、該セルに付加されたトラヒッククラス、あるいは出方路情報を識別して、複数のトラヒッククラス別、あるいは出方路別に配備される前記複数のキューのうちいずれのキューに書き込むかを選択し、前記セルは選択されたキューに蓄積され、
前記出力セル選択部は、各キューのセル蓄積数を示すキュー長通知信号と、各ウエイトカウンタの値を示すカウンタ値通知信号と、各トラヒッククラスのプライオリティ情報を監視し、回転優先制御により、1セル時間に1回出力キューの選択を行い、選択したキューに対し出力許可信号を送信し、
前記出力セル選択部からの出力許可信号を受けたキューからセルを読み出す、ことを特徴とするATMスイッチにおけるスケジューリング方式。

【請求項 5】前記各キューのセル蓄積数を示すキュー長通知信号と、前記各ウエイトカウンタの値を示すカウンタ値通知信号を監視し、全てのトラヒッククラスにおいて、
 $Q_i \cdot W_i = 0$ になると、全てのウエイトカウンタに対しリセット指示信号を送出するリセット制御部を備え、
前記ウエイトカウンタは前記リセット指示信号を受けて初期値を設定する、ことを特徴とする、ATMスイッチにおけるスケジューリング方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATMスイッチにおけるスケジューリング制御方式に関し、より詳細には、様々なトラヒックに対応するためにスイッチ前段或いは後段に配備されたバッファ部をトラヒッククラス別、出方路別に分割し、トラヒック制御するようなATMスイッチにおいて、各トラヒッククラスの帯域を保证するためのスケジューリング制御方式に関する。

【0002】

【従来の技術】従来のWRR（Weighted Round Robin）方式によるスケジューリング制御方式の一例を、図4及び図5を参照して以下に説明する。

【0003】図4は、3つのトラヒッククラス（クラス1～クラス3）を独立したキューに収容した場合の、A

TMスイッチ前段或いは後段に配備された入力バッファ部又は出力バッファ部におけるWRRスケジューリング方式の例を模式的に示す説明図である。図4において、21~23は各トラヒッククラス毎のキュー、24はWRRスケジューラである。キュー21~23には、バッファ部に入力されたセルのうち、該当するトラヒッククラスのセルが蓄積される。

【0004】WRRスケジューラ24は、各キュー毎のウェイトを設定するカウンタと、複数トラヒッククラスの中から回転優先で選択を行い出力セルを決定するRR（ラウンドロビン：回転優先）回路から構成されている。

【0005】WRRスケジューラ24の動作を図5に示したフローチャートに従って説明する。

【0006】スタート後、ステップS1において、各キュー毎に配備するウェイト設定用のカウンタをリセットし、カウンタに初期値をロードする。この初期値は、ソフトインタフェースによって変更可能である。ここで各カウンタの値を W_i 、各キューに蓄積されたセルの数を Q_i とする。また、 $f(i) = W_i \cdot Q_i$ とする。

【0007】次に、ステップS2において、 $\sum f(i) \neq 0$ かを判定する。つまり、各キューの蓄積セル数 Q_i が0か、又は各キューに対応するカウンタの値が0でないかを監視する。ステップS2の判定処理において、全てのトラヒッククラスについて、 $f(i) = 0$ である場合には、ステップS1へ戻る。一方、いずれかのクラスで、 $f(i) \neq 0$ である場合にはステップS3へと進む。

【0008】ステップS3では、 $f(i) \neq 0$ のクラスの中から出力を許可するクラスを選択を行う。キューにセルが蓄積していても($Q_i \neq 0$)、カウンタの値が0($W_i = 0$)であるクラスは、このステップにおけるクラス選択から除外される。選択方法としては、全てのクラスで同一の優先度を持つよう、回転優先方式で行う。そして選択されたクラスのキューからセルを出力する。

【0009】次に、ステップS4では、ステップS3において選択したクラスのウェイトカウンタの値 W_i を1減らす。その後ステップS2に戻り、 $\sum f(i) \neq 0$ の判定によって、ステップS3~S4のステップを繰り返して、 $\sum f(i) = 0$ になると、ステップS1に戻り、ウェイトカウンタをリセットする。

【0010】各クラスのキューからセルが1つ出力される度に、ウェイトカウンタの値を1つ減らし、ウェイトカウンタの値が0になると、そのクラスからのセルの出力を停止する。全てのクラスにおいて、ウェイトカウンタあるいはキューのセル蓄積数が0になると、全てのウェイトカウンタは初期値にリセットされる。従って、全てのクラスに十分な入力セルが与えられている場合、各々のクラスから与えられたウェイトの割合に従ってセルが出力される。

【0011】ウェイトと帯域との関係は、例えば全てのウェイトの合計を10、セル出力の全帯域をCとすると、ウェイト1=C/10の帯域に相当する。

【0012】以上の処理フローに従った結果、図4に示す例では、図示した順でセルが出力される。

【0013】この方式では、複数トラヒッククラスに対し、ウェイトを割当て、その比に従って各クラスの帯域を保证することが可能である。

【0014】

【発明が解決しようとする課題】しかしながら、このような従来のWRR方式によるスケジューリング制御方式においては、収容するトラヒッククラスが多い場合、あるクラスのセルを出力した後は最悪全てのクラスを1回ずつ出力した後でないと、再びこのクラスのセルを出力することはできない。

【0015】図6は、従来のスケジューリング制御方式での動作例を示す。図6は、クラス数6、各クラスのウェイト1とした場合の例であり、クラス6のセルが到着してから出力されるまでに最悪5セル時間待たされることになることを示している。

【0016】このように、従来のWRR方式によるスケジューリング制御方式では、遅延特性が重要で実時間性を必要とするトラヒックを扱う場合に、このトラヒックの遅延特性を劣化させる恐れがある。特に、CBR (Constant Bit Rate) トラヒックのようなCDV (Cell Delay Variation: セル遅延変動) 特性の保証が要求されるトラヒックに対して大きな影響を及ぼす。

【0017】したがって本発明は、上述したような従来技術の問題点に鑑みてなされたものであって、その目的は、実時間性が要求とされるトラヒッククラスの遅延特性を劣化させることなく帯域の保証を行うスケジューリング制御方式を提供することにある。

【0018】

【課題を解決するための手段】前記目的を達成するため、本発明におけるスケジューリング制御方式は、各クラスのウェイトとキューの蓄積数から出力セルの選択を行う出力セル選択部において、予め設定される各クラスのプライオリティを参照し、プライオリティが高いクラスを優先して選択する、ことを特徴とする。

【0019】本発明は、好ましくは、スイッチ本体と、前記スイッチの複数の入力ポートおよび出力ポートのそれぞれに配備され、セルを蓄積する入力バッファ部および出力バッファ部と、を含むATMスイッチにおける、前記入力バッファ部および出力バッファ部におけるスケジューリング方式において、前記入力バッファ部および前記出力バッファ部に、出方路毎、セルのトラヒック種類毎に、バッファを論理的に分割したキューと、前記各キューに対応するウェイトカウンタと、を備え、前記ウェイトカウンタが0でないクラスのキューが複数ある場合、優先度が高いクラスのキューの中から回転優先方式

により、出力を許可するキューを決定し、前記ウェイトカウンタが0でないクラスの中に優先度が高いクラスのキューが無い場合には、優先度が低いクラスのキューの中から回転優先方式により、出力を許可するキューを決定し、セルを読み出す、ことを特徴とする。

【0020】

【発明の実施の形態】本発明の好ましい実施の形態を以下に説明する。本発明は、その好ましい実施の形態において、入力セルをトラヒッククラス別に蓄積するキューと、各キューに対する出力の比を設定するウェイトカウンタと、キューのセル蓄積状況とウェイトカウンタの値と各クラスのプライオリティを監視し、セル出力選択を行う出力セル選択部と、キューのセル蓄積状況とウェイトカウンタの値を監視し、リセット条件時に各ウェイトカウンタにリセット指示を出力するリセット制御部を備え、出力セル選択部は、キュー長が0でなく、かつ、ウェイトカウンタの値が0でないクラスの中からプライオリティが高優先に設定されているクラスから優先的に出力許可を与え、高優先のクラスのキュー長が0、或いはウェイトカウンタが0になった後、プライオリティが低優先のクラスからの出力を許可を与える。

【0021】上記のように構成されてなる本発明の実施の形態によれば、スイッチの前段或いは後段に配備されたバッファ部をトラヒッククラス別、出方路別に分割し、トラヒック制御するようなATMスイッチにおいて、バッファ部に入力されるセルのうち、実時間性が要求されるようなトラヒッククラスに対してはプライオリティを高優先に設定することにより、他のクラスの出力を待たずに即座に出力が可能となり、遅延特性の劣化を防ぐことができる。

【0022】

【実施例】上記した本発明の実施の形態を更に詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1に、本発明の一実施例に係るWRRスケジューリング制御方式が行われるATMスイッチの入力、又は出力バッファ部の構成の一例を示す。

【0023】図1を参照すると、本発明の一実施例において、セル入力部1には、ATMセルとそのセルのトラヒッククラス、あるいは出方路を示す識別子がセルの先頭に付加されて入力される。

【0024】キュー選択部2は、セル入力部1よりセルを受信すると、セルの先頭に付加されたトラヒッククラス、あるいは出方路情報を識別して、複数のトラヒッククラス別、あるいは出方路別に配備される複数のキュー31～3nのうち、どのキューに書き込むかを選択し、セルは選択されたキューに蓄積される。なお、図1では、説明を簡単にするために、トラヒッククラス数をn、出方路を1とした場合の例を示している。

【0025】セルが蓄積されているキューは、出力セル選択部5からの出力許可信号9を受けると、キュー内に

蓄積されたセルのうち、最も早く書き込まれたセルを1つ読み出す。

【0026】キューから読み出されたセルは、セル出力部7へ到達し、不図示のスイッチ部、又は回路対応部へ出力される。

【0027】次に、本発明の一実施例における、WRRスケジューリング制御方式の構成について更に説明する。

【0028】ウェイトカウンタ41～4nは、各々のキューに対応して配備され、各トラヒッククラスに要求されている帯域に相当するウェイトが予め設定される。ウェイトの設定は、ソフトインタフェースによって行われ、変更可能である。また、ウェイトカウンタ41～4nは、リセット制御部6からのリセット指示信号12を受信すると、上記ソフトインタフェースによって予め設定された値を初期値としてカウンタにロードする。

【0029】リセット制御部6は、各キューのセル蓄積数を示すキュー長通知信号10と、各ウェイトカウンタの値を示すカウンタ値通知信号8を監視し、全てのトラヒッククラスにおいて、キュー長Qiとカウンタ値Wiの積が0、すなわちQi・Wi=0になると、全てのウェイトカウンタ41～4nに対し、リセット指示信号12を送出する。

【0030】出力セル選択部5は、各キューのセル蓄積数を示すキュー長通知信号10と、各ウェイトカウンタの値を示すカウンタ値通知信号8と、各トラヒッククラスのプライオリティ情報を監視し、回転優先制御により、1セル時間に1回出力キューの選択を行い、選択したキューに対し出力許可信号9を送信する。

【0031】出力セル選択部5の出力セル選択方法について以下に詳しく説明する。

【0032】キュー長Qiとカウンタ値Wiの積が0でない、すなわちQi・Wi≠0のクラスが存在する場合、それらのクラスのうち、プライオリティが高優先に設定されているクラスがあれば、当該クラスの中から回転優先制御により、出力を許可するキューを選択する。

【0033】また、Qi・Wi≠0のクラスの中にプライオリティが高優先に設定されたクラスがない場合、プライオリティが低優先のクラスの中から回転優先制御により、出力を許可するキューを選択する。

【0034】そして、Qi・Wi≠0のクラスが存在しない場合には、どのキューに対しても出力を許可しない。

【0035】次に、本発明の一実施例における一連のWRRスケジューリング動作について図2のフローチャートを参照して説明する。

【0036】スタート後、ステップS1で、各キュー毎に配備するウェイト設定用のカウンタをリセットし、カウンタに初期値をロードする。

【0037】次にステップS2でΣi(i)≠0か否か

を判定する。つまり、各キューのキュー長 Q_i が0か、又は各キューに対応するカウンタの値が0でないかを監視する。ステップS2で、全てのトラヒッククラスについて $f(i) = 0$ である場合にはステップS1に戻る。一方、いずれかのクラスで $f(i) \neq 0$ である場合にはステップS3へと進む。

【0038】ステップS3では、 $f(i) \neq 0$ のクラスの中に、 $P_i = 1$ 、すなわちプライオリティが高優先であるクラスの有無を判定する。 $P_i = 1$ のクラスが有る場合はステップS4へ、無い場合にはステップS5へと移る。

【0039】ステップS4では、 $f(i) \neq 0$ 、 $P_i = 1$ のクラスの中から回転優先制御により、出力を許可するキューを決定する。

【0040】ステップS5では、 $f(i) \neq 0$ 、 $P_i = 0$ 、すなわちプライオリティが低優先のクラスの中から回転優先制御により、出力を許可するキューを決定する。

【0041】ステップS4、S5で決定されたキューは、セルを1つ読み出すことができる。

【0042】次にステップS6では、ステップS4、又はステップS5のフローにおいて決定されたキューに対応するウェイトカウンタの値 W_i を1減らす。

【0043】その後、ステップS2に戻り、 $\sum f(i) \neq 0$ の判定によってステップS3～S6を繰り返し、 $\sum f(i) = 0$ になると、ステップS1に戻り、ウェイトカウンタをリセットする。

【0044】このようにして、各キューからは、ウェイトカウンタに設定されたウェイトの比に従ってセルが出力され、さらに、遅延特性が要求されるトラヒッククラスに対しては、プライオリティを高優先に設定することにより、他のクラスのセル出力に待たされることなくセルを出力することができる。

【0045】図3は、本発明の一実施例のWRRスケジューリング制御方式の動作の一例を模式的に示す図であり、従来方式の動作の例を示した図6と比較するための図である。

【0046】図3では、クラス数6、各クラスのウェイト1、クラス6のみプライオリティを高優先とした場合の例であり、クラス6のセルが到着すると、即座にクラ

ス6のセルが出力されることを示している。

【0047】

【発明の効果】以上説明したように、本発明のWRRスケジューリング制御方式によれば、遅延特性が要求されるようなトラヒッククラスに優先度を与え、回転優先制御により出力キューを選択する際に、高優先のクラスから優先して選択することにより、他の優先度が低いクラスのセルが出力されるのを待つことなく、セルを出力することが可能となる。このため、本発明によれば、収容するトラヒッククラス数が増加しても、実時間性が要求されるトラヒッククラスの遅延特性の劣化を減少させることができ、CDV特性への影響を防ぐことができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明のスケジューリング制御方式の一実施例の構成を示す図である。

【図2】本発明のスケジューリング制御方式の一実施例の処理フローを示す流れ図である。

【図3】本発明のスケジューリング制御方式の一実施例によるセル出力動作を模式的に示す図である。

【図4】従来のスケジューリング制御方式を模式的に示す説明図である。

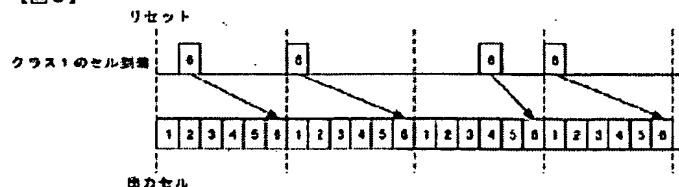
【図5】従来のスケジューリング制御方式の処理フローを示す流れ図である。

【図6】従来のスケジューリング制御方式によるセル出力動作を模式的に示す図である。

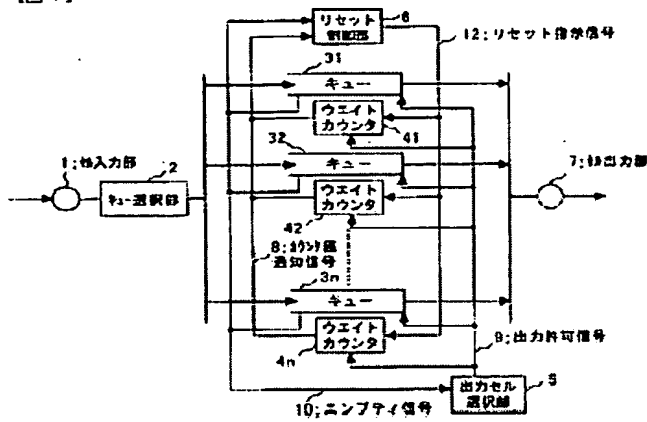
【符号の説明】

- 1 セル入力部
- 2 キュー選択部
- 3 1～3n キュー
- 4 1～4n ウェイトカウンタ
- 5 出力セル選択部
- 6 リセット制御回路
- 7 セル出力部
- 8 カウンタ値通知信号
- 9 出力許可信号
- 10 エム プティ信号
- 12 リセット指示信号
- 21、22、23 キュー
- 24 WRRスケジューラ

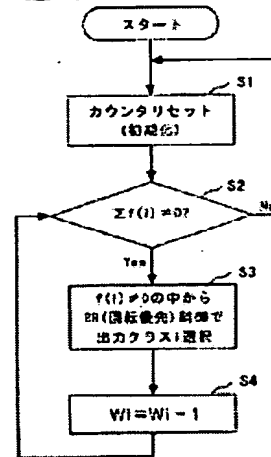
【図6】



【図 1】

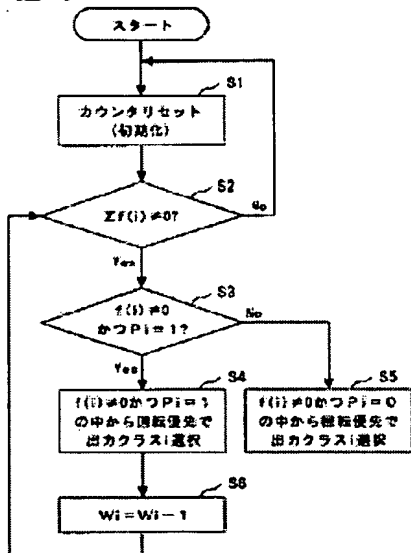


【図 5】



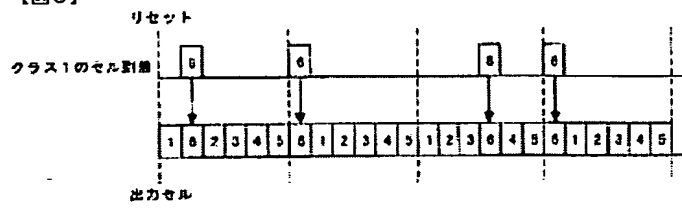
$f(i) = Q_i - W_i$
 Q_i : クラスiのキューのセル番数
 W_i : クラスiのウェイトカウンタ値

【図 2】



$f(i) = Q_i - W_i$
 Q_i : クラスiのキューのセル番数
 W_i : クラスiのウェイトカウンタ値
 P_i : クラスiのプライオリティ 0:低優先, 1:高優先

【図3】



【図4】

